

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022958

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H04N 1/409

G06T 3/40

G06T 5/20

H04N 1/393

(21)Application number : 10-190810

(71)Applicant : RICOH CO LTD

(22)Date of filing : 06.07.1998

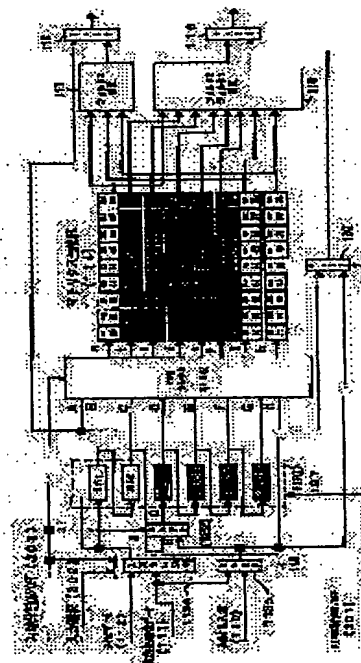
(72)Inventor : TAKAHASHI YUJI

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate a waste when a matrix size which is smaller than the maximum matrix size prepared for hardware is selected.

SOLUTION: This image processor is equipped with plural image processing means each including a power varying process part which varies the power of image data of an inputted digital image signal and a filter process part which performs a desired filtering process. According to the process mode of an image processing means, a selector 122 selects, for example, fifo of a FIFO memory 121 in use as the processing constitution of the filtering process part and a FIFO selector 115 changes the filter constitution by changing the selection of the matrix of a matrix generating part, thereby performing an image process for obtaining desired picture quality.



【特許請求の範囲】

【請求項 1】 入力されたデジタル画像信号に対して画像データを変倍する変倍処理手段と、所望のフィルタ処理を行うフィルタ処理手段とを少なくとも含む複数の画像処理手段を備えた画像処理装置において、前記画像処理手段の処理モードに応じて前記フィルタ処理手段の処理構成を変更するフィルタ構成変更手段を備えていることを特徴とする画像処理装置。

【請求項 2】 前記フィルタ構成変更手段によって変更したフィルタ構成で使用しないメモリの動作を停止させる手段を備えていることを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記フィルタ構成変更手段は、前記フィルタ処理手段を複数のフィルタとして機能させるときには、それぞれ独立したフィルタとして動作させる手段を備えていることを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】 前記独立したフィルタとして動作させる手段は、画像データの特徴を示す特徴量検出信号に応じて前記独立したフィルタの出力を切り換えることを特徴とする請求項 3 記載の画像処理装置。

【請求項 5】 前記独立したフィルタと他の画像処理手段との処理順序を任意に変更する手段を備えていることを特徴とする請求項 3 又は 4 記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、入力された画像信号に対して所望の画像を得るための処理を行なう画像処理装置に係り、特に、所望の画像を得るためにフィルタマトリクスサイズを変更したときのフィルタブロックの内部構造に特徴のあるスキャナ、ファクシミリ、複写機などの画像形成装置における画像処理装置に関する。

【0002】

【従来の技術】 この種の発明として例えば特開平 6-326869 号公報や特開平 8-274986 号公報等に開示されたものが公知である。前者は画像処理の過程において、モードに応じて変倍処理とフィルタ処理の順番を変更することを特徴としており、後者は画像処理の処理順序を任意に設定することを特徴としている。

【0003】 一方、従来から行なわれているフィルタマトリクス制御は図 18 に示すような回路によって構成されている。すなわち、従来例に係るフィルタマトリクス制御回路は、FIFO121 とマトリクス生成部 114 とフィルタ演算部 116 とから基本的に構成され、FIFO121 の前段には変倍処理後データ 111 とスキャナデータ 112 のいずれかを選択して FIFO121 に入力する入力セクタ 113 が設けられ、フィルタ演算部 116 の後段にはフィルタ演算部 116 からの出力もしくは FIFO121 及びマトリクス生成部 114 をスルーした前記入力セクタ 113 からの出力のいずれか

を選択して出力するセクタ 119 が設けられている。なお、入力セクタ 113 では、入力選択信号 302 に基づいて変倍処理後データ 111 あるいはスキャナデータ 112 のいずれかが選択される。

【0004】 このように構成されたフィルタマトリクス回路では、入力セクタ 113 によって通常は変倍後のデータ 111 が選択され、ラインメモリである FIFO121 の 1 つの fifo によって 1 ライン遅延を行なう。この例では、6 つの fifo1~fifo6 によって FIFO121 が構成されていることから、6 ライン遅延が行なわれる。マトリクス生成部 114 では 1 つの画素を 1 つのメモリ（ここでは、 $m \times 00 \sim m \times 08$ 、 $m \times 10 \sim m \times 18$ 、 $m \times 20 \sim m \times 28$ 、 $m \times 30 \sim m \times 38$ 、 $m \times 40 \sim m \times 48$ 、 $m \times 50 \sim m \times 58$ 、及び $m \times 60 \sim m \times 68$ で示される 6 行 8 列のメモリ） $m \times$ に記憶していく。フィルタ演算部 116 ではマトリクス生成部 114 から入力されるデータに基づいて所定の演算を実行する。

【0005】

【発明が解決しようとする課題】 ところで、前記従来例においてもこのようなフィルタを使用しているが、いずれも最大マトリクスサイズで運用しており、メモリサイズが最大マトリクスサイズよりも小さい場合でも、その使用しないマトリクスを構成するメモリが実質的に機能しないように制御しているだけで、使用しないマトリクスを構成するメモリは制御上でも電力消費上でも無駄になっていると言わざるを得なかった。すなわち、前記従来例においても変倍処理とフィルタ処理、あるいは他の処理との間の処理順序の変更については配慮されているが、所望の画像を得るためにフィルタマトリクスサイズを変更した際のフィルタブロック内部の構造の変更や変更したフィルタブロックを単位とした処理順序の変更までは考慮されておらず、電力消費や画質の向上の点でまだ改善の余地が残されていた。

【0006】 本発明は、このような従来技術の実情に鑑みてなされたもので、その第 1 の目的は、ハードウェアで用意した最大マトリクスサイズより小さいマトリクスサイズが選択されたときの無駄をなくすることができる画像処理装置を提供することにある。

【0007】 第 2 の目的は、消費電力を抑制することができる画像処理装置を提供することにある。

【0008】 第 3 の目的は、前記最大マトリクスよりも小さいマトリクスサイズが選択されたときに、さらに良好な画質の画像を得ることができる画像処理装置を提供することにある。

【0009】

【課題を解決するための手段】 前記第 1 の目的を達成するため、第 1 の手段は、入力されたデジタル画像信号に対して画像データを変倍する変倍処理手段と、所望のフィルタ処理を行うフィルタ処理手段とを少なくとも含む

複数の画像処理手段を備えた画像処理装置において、前記画像処理手段の処理モードに応じて前記フィルタ処理手段の処理構成を変更するフィルタ構成変更手段を備えていることを特徴とする。

【0010】前記第2の目的を達成するため、第2の手段は、第1の手段において、前記フィルタ構成変更手段によって変更したフィルタ構成で使用しないメモリの動作を停止させる手段を備えていることを特徴とする。

【0011】前記第3の目的を達成するため、第3の手段は、第1の手段において、前記フィルタ構成変更手段は、前記フィルタ処理手段を複数のフィルタとして機能させるときには、それぞれ独立したフィルタとして動作させる手段を備えていることを特徴とする。

【0012】前記第3の目的を達成するため、第4の手段は、第3の手段において、前記独立したフィルタとして動作させる手段は、画像データの特徴を示す特徴量検出信号に応じて前記独立したフィルタの出力を切り換えることを特徴とする。

【0013】前記第3の目的を達成するため、第5の手段は、第3または第4の手段において、前記独立したフィルタと他の画像処理手段との処理順序を任意に変更する手段を備えていることを特徴とする。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0015】図1は本発明の実施形態に係るフィルタマトリクス回路の回路構成を示すブロック図である。この実施形態に係るフィルタマトリクス回路は、図18に示した従来例におけるフィルタマトリクス回路に対して、FIFO121とマトリクス生成部114との間にFIFOセレクト115を設けるとともに、マトリクス生成部114の後段にフィルタ2演算部117と、セレクト118を付加し、さらに、FIFO121の前段にさらにセレクト119を追加したものである。なお、この実施形態では、セレクト119の一方の入力端子には従来例と同様に入力セレクト113の出力端子が接続され、他方の入力端子には、フィルタ2演算部117の出力端子が接続されている。また、セレクト118の一方の入力端子にはフィルタ1、3演算部116の出力端子が、他方の入力端子には、セレクト120の出力端子が接続され、セレクト120の2つの入力端子には、入力セレクト113の2つの出力端子がそれぞれ接続されている。この実施形態では、入力セレクト113は2つのセレクト113a、113bからなり、セレクト113aにはスキャナデータ112と変倍処理後データ111が、セレクト113bには変倍処理後データ111とフィルタ2入力110がそれぞれ入力され、入力選択信号302で入力信号が選択され、フィルタ分割オン/オフ信号301でフィルタ分割の有無に応じて信号の選択が行なわれる。また、FIFO121の2ライン目のf i

f o 2の後段と3ライン目のf i f o 3の前段に相当する箇所にはセレクト122が挿入され、前記フィルタ分割オン/オフ信号の有無によってフィルタマトリクスが分割できるようになっている。なお、FIFO121には、FIFO動作オン/オフ信号が入力され、この信号によってFIFO121の動作制御が行なわれる。

【0016】図2ないし図4はそれぞれフィルタのマトリクスサイズを示す図であり、この実施形態では、最大主走査方向9画素×副走査方向7画素のサイズ(図2)で、最小主走査方向5画素×副走査方向5画素のサイズ(図4)とする。

【0017】大略上記のように構成されたフィルタマトリクス回路では、図2に示す9×7サイズのときには従来と同様になる。すなわち、図1において、変倍処理後データ111が入力セレクト113aを介してf i f o 1から入力され、f i f o 6までのf i f oを使用することにより6ライン遅延される。このとき、セレクト122はA端子側が選択されている。また、FIFOセレクト115はA端子がマトリクス生成部114のa端子に、B端子が同じくb端子に、C端子が同じくc端子に、D端子が同じくd端子に、E端子が同じくe端子に、F端子が同じくf端子に、G端子が同じくg端子に、H端子が同じくh端子に側をそれぞれ選択し、これにより9×7サイズのマトリクスが生成される。なお、演算はフィルタ3、1演算部116で行なわれる。

【0018】一方、フィルタサイズが最小の5×5に設定されるときには、セレクト122のB端子が選択され、このB端子から変倍処理後データ111がFIFO121側に入力される。これによりf i f o 3からf i f o 6までの4ラインが使用され、マトリクスは図1において斜線で示したm x 10~m x 18、m x 20~m x 28、m x 30~m x 38、m x 40~m x 48、m x 50~m x 58の5ラインのみが使用される。このとき使用するFIFO121は、f i f o 3ないしf i f o 6でなくとも、連続していれば例えばf i f o 1ないしf i f o 4を使用することもできる。マトリクスは前述のm x 10ないしm x 58を使用することにより、中心画素であるm x 34が9×7画素のマトリクスと変わらないようにし、後段の演算回路が複雑にならないように意図されている。その際、未使用のf i f o、この例ではf i f o 1、f i f o 2については、図5に示すようにFIFO動作オン/オフ信号301に応じてセレクト401のクロック入力端子であるA端子から“0”が入力されているB端子を選択してFIFO121の前記f i f o 1、2に対するクロックの供給を止め、両者の動作を停止させて電力の消費を抑えるようにしている。

【0019】ところで、入力された画像データ全てに同じフィルタ処理を行なうと、例えば後述の図8における一定値以下の部分で示されるようにノイズ部分も画像データと同じように増幅されてしまうことがある。このよ

うにノイズ部分の増幅を回避するために 5×5 サイズのフィルタの選択時に残りの2本の fifo 、2を用いて 3×3 のマトリクスを生成して適応的に2つのフィルタを切り替える。この実施形態を図6に示す。図6のフィルタマトリクス回路は、図1のフィルタマトリクス回路に対して、フィルタ演算部116、117の後段に設けられたセクタ118、119のさらに後段にセクタ602を設け、特徴量検出信号601の入力に対応してセクタ118、119のいずれかの出力を選択して出力するように構成したもので、その他の各部の構成は図1と同一である。

【0020】このように構成すると、FIFOセクタ115によってA端子をマトリクス生成部のa端子に、B端子を同じくg端子に、C端子を同じくh端子にそれぞれ接続すると、前述の図3に示すような最大 9×3 サイズのフィルタを構成することができる。このマトリクスの演算はフィルタ2演算部117で実行され、前記 9×7 マトリクス（図2—フィルタ1）あるいは 5×5 マトリクス（図4—フィルタ3）の演算はフィルタ1、3演算部116で実行される。そこで、前述のセクタ602によって特徴量検出信号601の出力に応じてフィルタ2の演算結果と図6において斜線で示すフィルタ3の演算結果を切り替えて出力する。

【0021】特徴量の検出は具体的には図7の特徴量検出回路で行なわれる。この回路は比較器602によって構成される。この比較器に602には、入力セクタ113によって選択された画像データ（実際にはFIFO115のA端子から入力される）がA端子に、あらかじめ設定された画像データの大きさ（濃度）がB端子にそれぞれ入力され、この比較結果によりA端子から入力された画像データがB端子に設定されている一定の大きさの画像データよりも大きければ、比較器602はC端子から“1”を出力し、A端子から入力された画像データがB端子に設定されている画像データ以下であればC端子から“0”を出力する。セクタ602は、この出力結果に応じて前述のようにフィルタの演算結果を切り換える。

【0022】図8は画像濃度の変化をイメージ的に示した図で、前記B端子に入力される一定値の画像濃度701を基準に、この一定値以下の濃度を地肌のノイズとみなして図10に示すような比較的弱いフィルタ（前述のフィルタ3に相当）をかける。一方、一定値701より大きい場合には、図9に示すような比較的強いフィルタ（前述のフィルタ2に相当）をかける。これにより、点線で示した元の画像に対して実線で示すようにノイズ以外の部分が強調され、ノイズ部分の増幅は抑えられる。なお、図11は図2に示したフィルタ1に対応するフィルタの具体的な一例である。また、図9ないし図11で空白部分の係数は“0”である。

【0023】ここで、フィルタの処理順序について説明

する。図12はこの実施形態における変倍処理部とフィルタ処理部の処理順序を説明するための図で、変倍処理部101とフィルタ処理部102の具体的構成を示すブロック図である。同図において、変倍処理部101は入力セクタ107、変倍処理部108、及び出力セクタ109から構成され、変倍処理部108にはFIFOメモリ103が接続されている。フィルタ処理部102は入力セクタ113、マトリクス生成部114、フィルタ2演算部117、フィルタ1、3演算部116、フィルタ2出力セクタ119、フィルタ1、3出力セクタ118、及び2つのセクタ120、122から構成され、FIFOメモリ121が入力セクタ113及びマトリクス生成部114と接続され、また、セクタ122によって入力セクタ113からの出力の選択もできるようになっている。

【0024】変倍処理部101の入力セクタ107のA、B、Cの各端子には、フィルタ2入力105、スキヤナデータ入力106及びフィルタ1入力104がそれぞれ接続され、入力された各信号が入力セクタ107で選択されて変倍処理部108および出力セクタ109のA端子に出力される。変倍処理部108ではFIFOメモリ103を使用して変倍処理を実行し、変倍処理結果が出力セクタ109のB端子に出力される。

【0025】フィルタ処理部102の入力セクタ113のA、B、Cの各端子には、フィルタ2入力110、変倍処理出力111及びスキヤナデータ入力112がそれぞれ接続され、入力セクタ113の出力端子はフィルタ2出力セクタ119のA端子、FIFOメモリ104、第1のセクタ122のB端子、及び第2のセクタ120のA端子及びB端子に接続されている。マトリクス生成部114の入力端子にはFIFOメモリ104の出力端子が接続され、マトリクス生成部114の出力端子は、フィルタ2演算部117及びフィルタ1、3演算部116にそれぞれ接続されている。フィルタ2演算部117の出力端子はフィルタ2出力セクタ119のB端子に接続され、フィルタ2出力セクタ119のA端子には、入力セクタ113の出力端子が接続されている。また、フィルタ1、3演算部116の出力端子はフィルタ1、3出力セクタ118のA端子に接続され、フィルタ1、3出力セクタ118のB端子には第2のセクタ120の出力端子が接続されている。フィルタ2出力セクタ119の出力端子は、前記変倍処理部101の入力セクタ107のA端子にフィルタ2入力105として、また、フィルタ処理部102の入力セクタ113のA端子にフィルタ2入力110としてそれぞれ接続されている。一方、フィルタ1、3出力セクタ118の出力端子は変倍処理部101の入力セクタ107のC端子にフィルタ1入力104として接続されるとともに、次段の画像処理部150の入力端子に接続されている。この次段の画像処理部150の入力端子

には、前記変倍処理部 101 の出力セクタ 109 の出力端子も接続されている。

【0026】この回路と図 6 に示した回路との相違点は、フィルタ 2 演算部 117 の出力が独立してフィルタ処理部 102 から出力される点であり、フィルタ 2 演算部 117 からの出力がフィルタ処理部 102 の入力セクタ 113 の A 端子（フィルタ 2 入力 110）及び変倍処理部 101 の入力セクタ 107 の A 端子（フィルタ 2 入力 105）に入力可能となっている点にある。

【0027】通常、スキャナデータ入力端子（入力セクタ 107 の B 端子）106 から入力された画像データは変倍処理部 101 の入力セクタ 107 を通って変倍処理部 108 で変倍処理されて出力セクタ 109 から出力される。出力セクタ 109 は、通常時は出力を B 端子側に接続するが、変倍動作を行なわせたくないときには A 端子側に接続すればよい。これによって入力セクタ 107 によって選択された画像データがそのまま出力セクタ 109 から出力される。フィルタ処理部 102 では、入力セクタ 113 の出力を B 端子（スキャナデータ入力 111）に接続し、FIFO メモリ 121 に入力データを接続する。そして、FIFO メモリ 121 からマトリクス生成部 114 にデータは出力される。この部分動作は図 1 で説明した通りである。

【0028】ここで、FIFO メモリ 121 の前段に位置するセクタ 122 の出力は B 端子側に接続されている。セクタ 122 からの出力は前述のように f i f o 3 ~ 6 に入力され、5 × 5 のマトリクスをマトリクス生成部 114 で生成し、フィルタ 1、3 演算部 116 でフィルタ 3 に対応する演算を実行した後、フィルタ 1、3 出力セクタ 118 から次段の画像処理部 150 に出力される。

【0029】次段の画像処理部 150 に出力する画像データにフィルタ処理を加えたくない場合には、フィルタ 1、3 出力セクタ 118 の出力を B 端子側に接続するとともに、セクタ 120 の出力を A 端子側に接続する。これにより入力セクタ 113 から入力された画像データがそのままフィルタ 1、3 出力セクタ 118 から次段に出力される。

【0030】フィルタ処理で 2 つ以上にフィルタを分割したときには、以下のような動作が行なわれる。例えば変倍動作が縮小のとき、フィルタ処理部 102 の入力セクタ 113 が C 端子（スキャナデータ入力 112）側に接続され、画像データは FIFO メモリ 121 に入力される。図 1 を参照すると、入力セクタ 113 は第 1 のセクタ 113 a と第 2 のセクタ 113 b の 2 つの系統に分割され、第 1 のセクタ 113 a を通った変倍処理後データは f i f o 1、f i f o 2 を通って FIFO セクタ 115 によって A 端子がマトリクス生成部 114 の a 端子に、B 端子が g 端子に、C 端子が h 端子にそれぞれ接続され、前述のフィルタ 2 の形式となり、フ

ィルタ 2 演算部 117 でフィルタ演算が実行される。この演算結果はフィルタ 2 出力セクタ 119 から変倍処理部 101 の A 端子（フィルタ 2 入力 105）に入力され、変倍処理部 101 を通って再びフィルタ処理部の入力セクタ 113 に入力される（図 1-113 b）。このとき、セクタ 122 は B 端子に接続されており、フィルタ 2 入力信号は f i f o 3、4、5、6 を通って FIFO セクタ 115 によって D 端子がマトリクス生成部 114 の b 端子に、E 端子が同じく c 端子に、F 端子が同じく d 端子に、G 端子が同じく e 端子に、H 端子が同じく f 端子にそれぞれ接続される。このようにしてマトリクスが生成されると、フィルタ 1、3 演算部 116 でフィルタ 3 演算が行なわれ、セクタ 118 から次段の画像処理部 150 に送られる。

【0031】縮小時のこの動作は、簡単に言うと、画像データ → フィルタ 2 → 変倍（縮小） → フィルタ 3 → 次段へ

となる。このように処理するのは、以下のような理由による。

【0032】図 13 は主走査方向のデジタルデータの並びを分かりやすく示したモデル図である。このような 1 ドットおきに強弱を繰り返すような入力データに対して 50% 縮小処理を行った場合について考えると、50% 縮小は単純に 2 ドットに対して 1 ドットを間引く処理であり、このようにして間引くと図 14 のようになる。すなわち、ここでは、偶数ドット（強）が間引かれている。この結果は、元の画像の濃度を保存していないので、画像の劣化が著しい。

【0033】そこで、隣接画素の平均をとる図 15 に示すようなフィルタ処理を変倍処理の前に行った場合について考えると、平均化するので図 16 に示すように隣接画素の値が近付き、これを間引くことから、図 17 に示すように間引き後に隣接画素の平均値が残ることになり、隣接がその情報が完全に失われずに画像劣化が抑制されることになる。

【0034】このように縮小時はフィルタを分割し、分割したフィルタのうち 1 つは変倍前使用、1 つはフィルタ処理のためのフィルタとして動作させるので無駄がなく、縮小時の画像劣化を改善することができる。なお、実際の前処理フィルタは画像の周波数特性によって種々の設定できることは言うまでもない。

【0035】なお、ここでは主走査方向の画像を例にとって説明しているが、副走査方向についても本発明方法を適用できることは言うまでもない。

【0036】

【発明の効果】以上のように、請求項 1 記載の発明によれば、画像処理手段の処理モードに応じてフィルタ処理手段の処理構成を変更するので、前記処理モードに応じて必要最低限のマトリクスサイズのメモリだけ動作させればよく、使用しないマトリクスのメモリを他のシステ

ムに使用することが可能になる。これによってハードウェアで用意した最大マトリクスサイズより小さいマトリクスサイズが選択されたときの無駄をなくすることができる。

【0037】請求項2記載の発明によれば、変更したフィルタ構成で使用しないメモリの動作を停止させるの、余分な消費電力がかかることはない。

【0038】請求項3記載の発明によれば、フィルタ処理手段を複数のフィルタとして機能させるときには、それぞれ独立したフィルタとして動作させるので、メモリを無駄なく使用することができ、少ないハードウェアで所望の画像処理に適応したフィルタ処理の選択が可能となる。これによって画質の向上を図ることができる。

【0039】請求項4記載の発明によれば、画像データの特徴を示す特徴量検出信号に応じて独立したフィルタの出力を切り換えるので、画質にあったフィルタをリアルタイムで選択することができる。その結果、画質の向上を図ることが可能になる。

【0040】請求項5記載の発明によれば、独立したフィルタと他の画像処理手段との処理順序を任意に変更することができるので、他の画像処理手段による処理に応じたフィルタ処理を選択することが可能となる。これによてい、画質の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るフィルタマトリクス回路の回路構成を示すブロック図である。

【図2】本発明の実施形態に係るフィルタマトリクス回路の最大のフィルタのマトリクスサイズ（フィルタ1）を示す図である。

【図3】本発明の実施形態に係るフィルタマトリクス回路の独立したフィルタのマトリクスサイズ（フィルタ2）を示す図である。

【図4】本発明の実施形態に係るフィルタマトリクス回路の最小のフィルタのマトリクスサイズ（フィルタ3）を示す図である。

【図5】本発明のFIFOの一部のfifoメモリの動作を停止させる回路構成を示す図である。

【図6】本発明の他の実施形態に係るフィルタマトリクス回路の回路構成を示すブロック図で、特徴量検出信号の入力に対応してマトリクスの選択を行う例である。

【図7】図6における特徴量検出信号の出力回路の回路構成を示す図である。

【図8】原画像をフィルタ処理した後の画像濃度の変化をイメージ的に示した図である。

【図9】本発明の更に他の実施形態に係る処理回路の回路構成を示すブロック図で、変倍処理部とフィルタ回路

の回路構成を示す。

【図10】比較的強いフィルタであるフィルタ2の具体例を示す図である。

【図11】比較的弱いフィルタであるフィルタ3の具体例を示す図である。

【図12】最大サイズのフィルタであるフィルタ1の具体例を示す図である。

【図13】変倍前のフィルタ処理を説明するための図で、入力データを示す。

【図14】変倍前のフィルタ処理を説明するための図で、50%縮小時のデータを示す。

【図15】本実施形態における動作を説明するための図で、50%縮小時の前処理フィルタの具体例を示す。

【図16】変倍前のフィルタ処理を説明するための図で、フィルタによって前処理した後の入力データを示す。

【図17】変倍前のフィルタ処理を説明するための図で、フィルタによって前処理した後の50%縮小時のデータを示す。

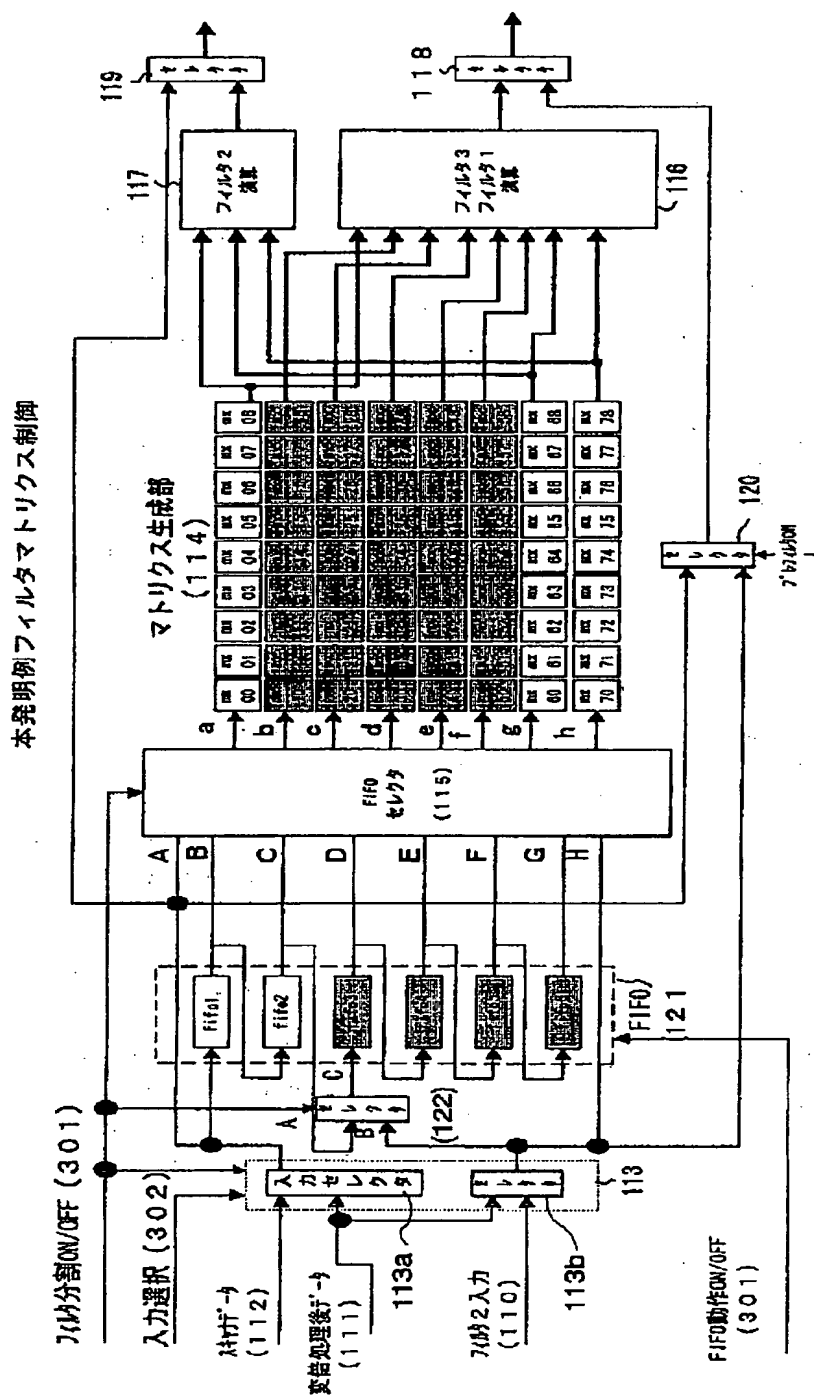
【図18】従来例に係るフィルタマトリクス回路の回路構成を示す図である。

【符号の説明】

- 101 変倍処理部
- 102 フィルタ処理部
- 104 フィルタ1入力
- 105 フィルタ2入力
- 106 スキャナデータ入力
- 107 入力セクタ
- 108 変倍処理回路
- 109 出力セクタ
- 110 フィルタ2入力
- 111 変倍処理入力
- 112 スキャナデータ入力
- 113, 113a, 113b 入力セクタ
- 114 マトリクス生成部
- 115 FIFOセクタ
- 116 フィルタ1, 3演算部
- 117 フィルタ2演算部
- 118 フィルタ1, 3出力セクタ
- 119 フィルタ2出力セクタ
- 120, 122, 401 セクタ
- 121 FIFOメモリ
- 301 FIFO動作オン/オフ信号
- 601 特徴量検出信号
- 602 比較器

【图 1】

【図 1】



【図2】

【図5】

【図2】

フィルタ1の演算
マトリクス

mx00	mx01	mx02	mx03	mx04	mx05	mx06	mx07	mx08
mx10	mx11	mx12	mx13	mx14	mx15	mx16	mx17	mx18
mx20	mx21	mx22	mx23	mx24	mx25	mx26	mx27	mx28
mx30	mx31	mx32	mx33	mx34	mx35	mx36	mx37	mx38
mx40	mx41	mx42	mx43	mx44	mx45	mx46	mx47	mx48
mx50	mx51	mx52	mx53	mx54	mx55	mx56	mx57	mx58
mx60	mx61	mx62	mx63	mx64	mx65	mx66	mx67	mx68

【図3】

【図3】

フィルタ2
演算マトリクス

mx00	mx01	mx02	mx03	mx04	mx05	mx06	mx07	mx08
mx60	mx61	mx62	mx63	mx64	mx65	mx66	mx67	mx68
mx70	mx71	mx72	mx73	mx74	mx75	mx76	mx77	mx78

【図4】

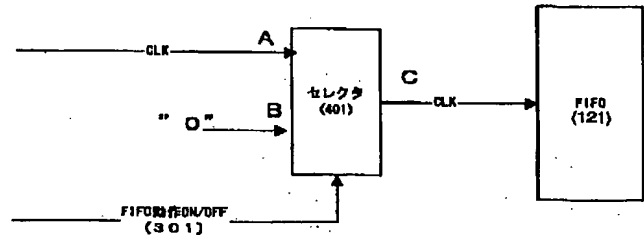
【図4】

フィルタ3の
演算マトリクス

mx10	mx11	mx12	mx13	mx14	mx15	mx16	mx17	mx18
mx20	mx21	mx22	mx23	mx24	mx25	mx26	mx27	mx28
mx30	mx31	mx32	mx33	mx34	mx35	mx36	mx37	mx38
mx40	mx41	mx42	mx43	mx44	mx45	mx46	mx47	mx48
mx50	mx51	mx52	mx53	mx54	mx55	mx56	mx57	mx58

【図5】

本発明例FIFO動作停止



【図9】

【図9】

フィルタ2の例 (比較的強いフィルタ)

			-2				
		-2	9	-2			
			-2				

【図10】

【図10】

フィルタ3の例 (比較的弱いフィルタ)

				-1			
			-1	-3	-1		
		-1	-1	24	-1	-1	
			-1	-3	-1		
				-1			

×1/8

【図11】

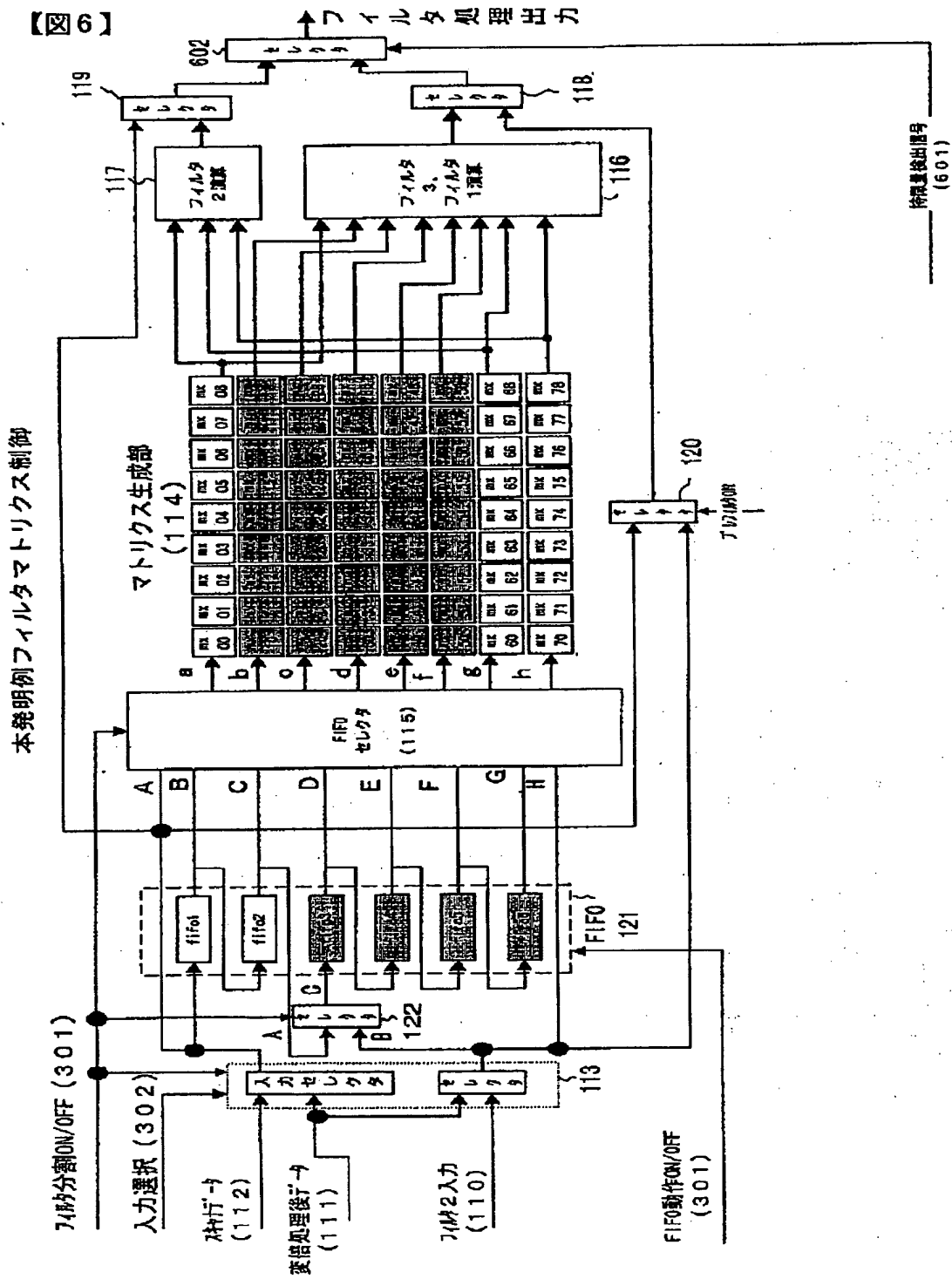
【図11】

フィルタ1の例

				-1			
			-1	-2	-1		
		-1	-2	-3	-2	-1	
	-1	-2	-3	56	-3	-2	-1
		-1	-2	-3	-2	-1	
			-1	-2	-1		
				-1			

×1/16

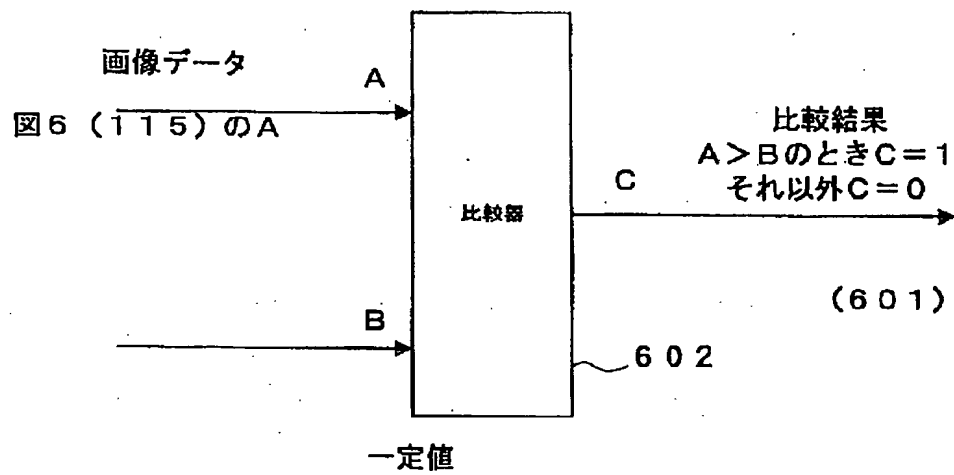
【図6】



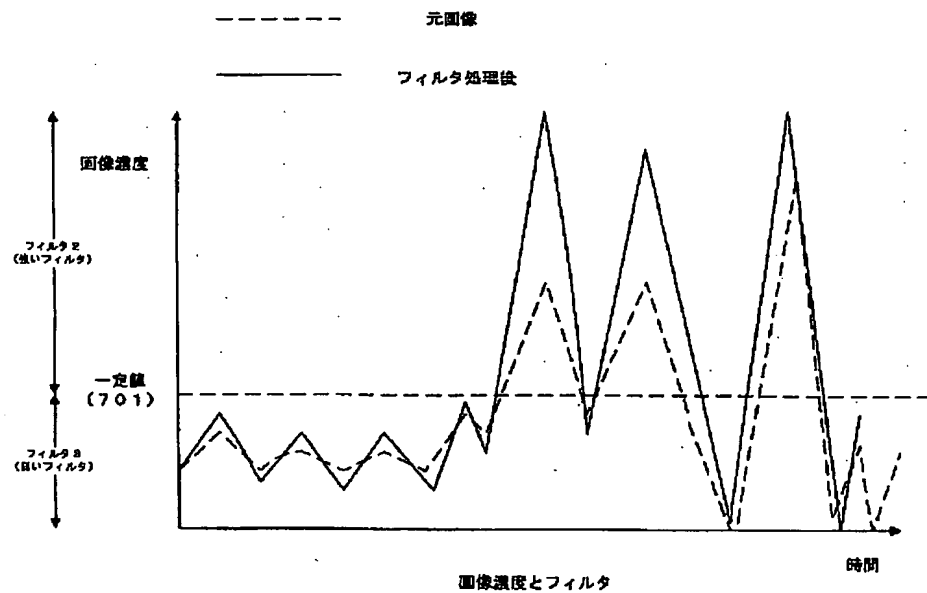
【図7】

【図7】

特徴量検出回路例



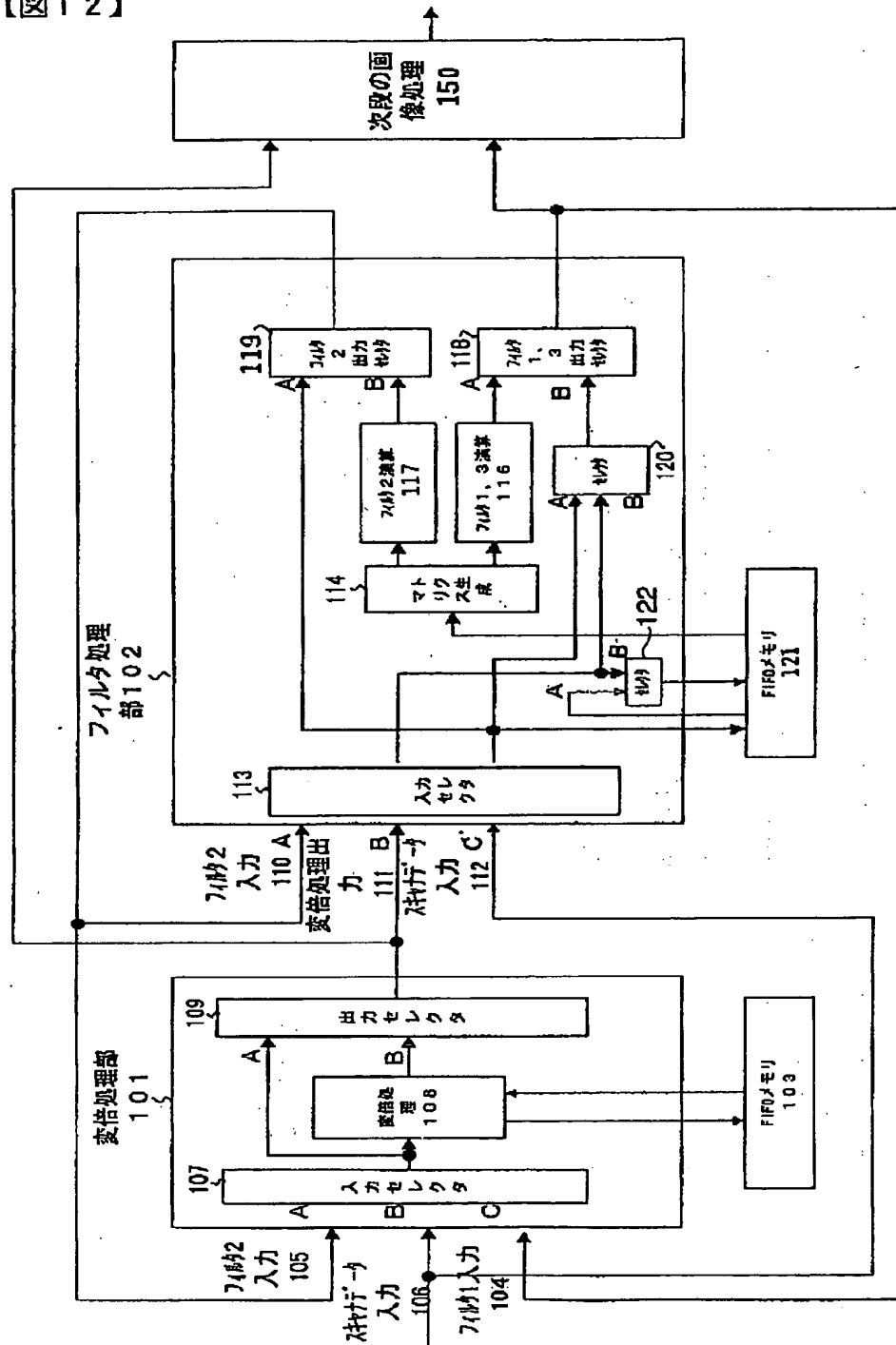
【図8】



【図12】

【図12】

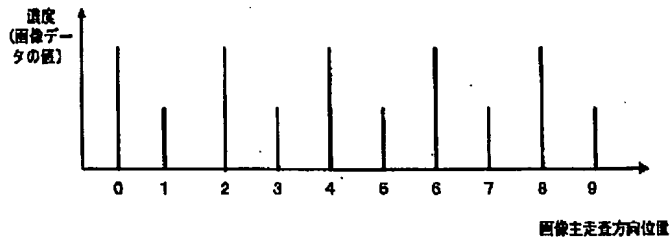
本発明例の変倍、フィルタ処理部



【図13】

【図13】

変倍前フィルタ処理説明1
入力データ



【図15】

【図15】

50%縮小時の処理フィルタ例

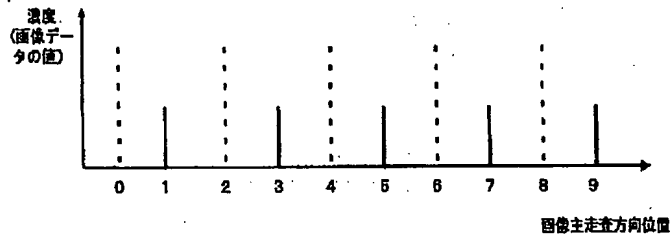
				1	1				

× 1/2

【図14】

【図14】

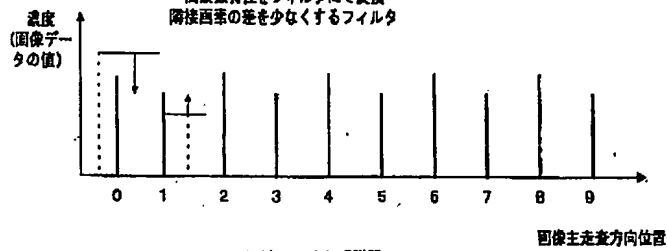
変倍前フィルタ処理説明1
50%縮小



【図16】

【図16】

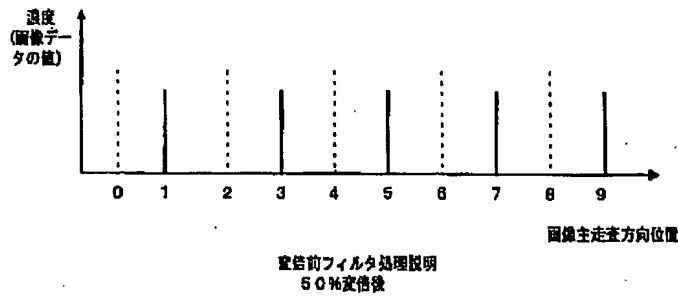
周波数特性をフィルタにて変換
隣接画素の差を少なくするフィルタ



変倍前フィルタ処理説明
フィルタによる前処理後

【図 17】

【图 17.1】



【図 18】

